



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10125925

(43)Date of publication of application:
15.05.1998

(51)Int.Cl.

H01L 29/786

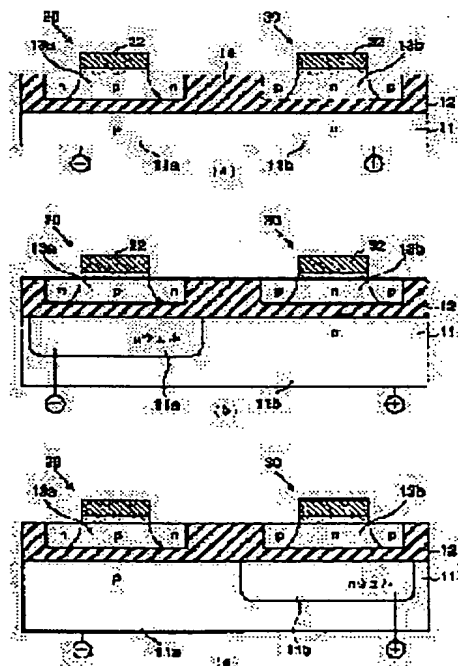
(21)Application number: 08282507 (71)Applicant: TOSHIBA CORP
(22)Date of filing: 24.10.1996 (72)Inventor: YOSHIDA MASAKO
OWAKI YUKITO
FUSE TSUNEAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to reduce more a parasitic capacitance in an SOI transistor and to speed up the operating speed of the SOI transistor.

SOLUTION: The integrated circuit is one of a structure, wherein a CMOS circuit consisting of an N-channel MOS transistor 20 and a P-channel MOS transistor 30 is formed on an SOI substrate 10 with an Si layer 13 formed on an Si substrate 11 via an SiO₂ film 12. In this case, the part, which is positioned under the formation region of the transistor 20, of the substrate 11 is formed into a p-type region 11a, the part, which is positioned under the formation region of the transistor 30, of the substrate 11 is formed into an n-type region 11b, a negative potential is applied to the region 11a and a positive potential is applied to the region 11b.



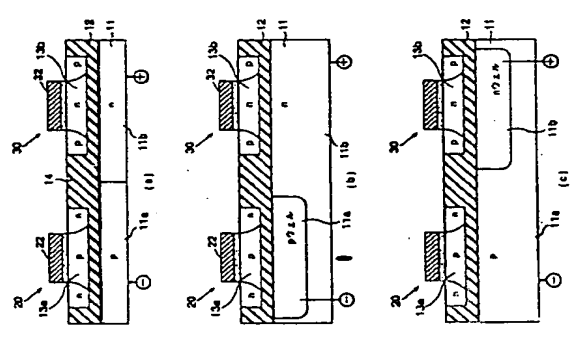
THIS PAGE BLANK (USPTO)

(19)日本特許庁 (J P) (12) 公開特許公報 (A) (11)特許公開番号
特開平10-125925
(43)公開日 平成10年(1998) 5月15日

(5)Int.Cl. H01L 29/786	識別記号 F I H01L 29/78 6 21 6 13 A	審査請求 未請求 請求項の数 5 OL (全 7 頁)
(21)出願番号 特願平8-282507	(71)出願人 株式会社東芝 000003078	
(22)出願日 平成8年(1996)10月24日	(72)発明者 吉田 裕子 神奈川県川崎市幸区堀川町72番地 株式会社東芝研究開発センター内	
	(72)発明者 大鷗 幸人 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内	
	(72)発明者 布施 常明 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝研究開発センター内	
	(74)代理人 弁護士 鈴江 政彦 (計6名)	

(54)【発明の名称】 半導体集積回路

(57)【要約】
【課題】 SOIトランジスタにおける寄生容量をより低減することができ、SOIトランジスタの動作速度を更に高速化する。
【解決手段】 Si基板11上にSiO₂膜12を介してSi層13を形成したSOI基板10にnMOSTラジスタ20及びpMOSTラジスタ30からなるCMOS回路を形成した半導体集積回路において、Si基板11をnMOSTラジスタ20の形成領域下ではp型領域11a、pMOSTラジスタ30の形成領域下ではn型領域11bにし、p型領域11aに負の電位を印加し、n型領域11bに正の電位を印加する。



【特許請求の範囲】
【請求項1】 Si基板1上に絶縁膜を介してSi層を形成したSOI基板と、このSOI基板のSi層に形成された少なくとも1つのMOSTラジスタと、前記Si基板に所定の電位を与える手段とを具備してなることを特徴とする半導体集積回路。
【請求項2】 Si基板1上に絶縁膜を介してSi層を形成したSOI基板と、このSOI基板のSi層に形成されたnMOSTラジスタ及びpMOSTラジスタからなるCMOS回路と、前記Si基板に負の電位を与える手段とを具備してなることを特徴とする半導体集積回路。
【請求項3】 Si基板1上に絶縁膜を介してSi層を形成したSOI基板にnMOSTラジスタ及びpMOSTラジスタからなるCMOS回路を形成した半導体集積回路において、前記Si基板をnMOSTラジスタ形成領域下ではp型領域、pMOSTラジスタ形成領域下ではn型領域とし、p型領域に負の電位を印加し、n型領域に正の電位を印加してなることを特徴とする半導体集積回路。
【請求項4】 Si基板1上に絶縁膜を介してSi層を形成したSOI基板にnMOSTラジスタ及びpMOSTラジスタからなるCMOS回路を形成した半導体集積回路において、前記Si基板をnMOSTラジスタ形成領域下とpMOSTラジスタ形成領域下とで絶縁分離し、pMOSTラジスタ形成領域下に負の電位を印加し、nMOSTラジスタ形成領域下に正の電位を印加してなることを特徴とする半導体集積回路。
【請求項5】 Si基板1上に絶縁膜を介してSi層を形成したSOI基板と、このSOI基板のSi層に形成され、チャネル下部の不純物領域である各々のポディ部が電気的に分離され、且つ該ポディ部に所定の電位が印加される複数のMOSTラジスタと、前記ポディ部の下のSi基板に該ポディ部の多数キャリアが誘起される電位を与える手段とを具備してなることを特徴とする半導体集積回路。
【発明の詳細な説明】
【0001】
【発明の属する技術分野】 本発明は、Si基板1上に絶縁膜を介してSi層を形成したSOI基板にMOSTラジスタを作成した半導体集積回路に関する。
【0002】
【従来の技術】 近年、LSIの回路動作を高速化するたため、Si基板1上に絶縁膜を介してSi層を形成したSOI基板にMOSTラジスタを作成したSOIトランジスタ技術の導入が行われ初めている (文献：C.E.Chen et al., IEDM 84, pp.702)。このSOIトランジスタは、絶縁膜容量が比較的小さいため高速動作に有利である。
【0003】 図8に、従来のSOIトランジスタの一例

を示す。Si基板1上にSiO₂膜2を介してSi層3を形成してSOI基板が構成され、Si層3はnMOST形成領域3aとpMOST形成領域3bに絶縁分離されている。そして、各々の領域3a, 3bに、ゲート酸化膜4 (4a, 4b)、ゲート電極5 (5a, 5b)、ソース・ドレイン近接層6 (6a, 6b) を形成してnMOSTラジスタとpMOSTラジスタが形成されている。なお、Si基板1は一般にフローティング又は接地されている。
【0004】 しかしながら、この種のSOIトランジスタを用いた半導体集積回路においても、ソース・ドレイン領域とチャネル下部領域との間に近接層容量が存在する。この近接層容量は、バルク基板上のMOSTラジスタよりも小さいものの無視できるものではなく、この近接層容量となり高速化の阻害要因となっている。
【0005】 また、図9に示すように、SOIトランジスタにおいて一般にポディと呼ばれるチャネル下部の不純物領域に、しきい値制御膜又はフローティングポディ効果 (ポディ部の電位が他部から切り離れ定まらなくなりトランジスタ特性がばつらく効果) 抑制のためコンタクトを取り、外部より電位を与えることが行われている。なお、図9の(a)は平面図、(b)は断面図であり、8はポディ部、9はコンタクト部を示している。
【0006】 しかしながら、絶縁膜2上のSi層3の膜厚が薄い場合、或いはゲート電極5にn型MOSTラジスタの場合で正の電圧を印加しオンさせようとした場合等においては、ポディ部8の多数キャリアが追い払われ、コンタクト部9に印加した電圧が十分にチャネル下部に伝達されない。このため、しきい値を制御する、或いはフローティングポディ効果を抑制する等の効果が得られない。また、ある程度電位伝達が行われてもチャネル幅が広い場合は、コンタクト部9とポディ部8の距離が離れている場所において前記所望の効果を達成できないうような問題があった。
【0007】
【発明が解決しようとする課題】 このように従来、SOIトランジスタを用いた半導体集積回路においても、ソース・ドレイン領域とチャネル下部領域との間に寄生容量が存在し、これが動作速度の高速化を妨げる要因となっていた。また、SOIトランジスタにおいて、ポディ電位を制御することによりしきい値制御及びフローティングポディ効果を抑制する方法もあるが、種々の要因で十分な効果を得られない問題があった。
【0008】 本発明は、上記事情を考慮して成されたもので、その目的とするところは、SOIトランジスタにおける寄生容量をより低減することができ、SOIトランジスタの動作速度を更に高速化できる半導体集積回路を提供することにある。
【0009】 また、本発明の他の目的は、ポディ電位を

制御するSOIトランジスタにおいて、しきい値制御及びフローティングボディ効果の抑制を十分に達成し得る半導体集積回路を提供することにある。

[0010]

【課題を解決するための手段】

(構成) 本発明の符号は、SOIトランジスタのSi基板の電位及び導電型を制御することにより、トランジスタを高速度化することにある。即ち本発明は、次のような構成を採用している。

(1) Si基板上に絶縁膜を介してSi層を形成したSOI基板と、このSOI基板のSi層に形成された少なくとも1つのMOSTトランジスタとを備えた半導体集積回路において、Si基板に所定の電位を与える手段を設けたこと。

(1-1) nMOSTトランジスタにおいて、Si基板に負の電位を印加する。

(1-2) pMOSTトランジスタにおいて、Si基板に正の電位を印加する。

(2) Si基板上に絶縁膜を介してSi層を形成したSOI基板と、このSOI基板のSi層に形成されたnMOSTトランジスタ及びpMOSTトランジスタからなるCMOS回路とを備えた半導体集積回路において、Si基板に負の電位を与える手段を設けたこと。

(3) Si基板上に絶縁膜を介してSi層を形成したSOI基板にnMOSTトランジスタ及びpMOSTトランジスタからなるCMOS回路を形成した半導体集積回路において、Si基板をnMOSTトランジスタ形成領域下でp型領域、pMOSTトランジスタ形成領域下ではn型領域とし、p型領域に負の電位を印加し、n型領域に正の電位を印加すること。

(4) Si基板上に絶縁膜を介してSi層を形成したSOI基板にnMOSTトランジスタ及びpMOSTトランジスタからなるCMOS回路を形成した半導体集積回路において、Si基板をnMOSTトランジスタ形成領域下とpMOSTトランジスタ形成領域下と絶縁分離し、pMOSTトランジスタ形成領域下に負の電位を印加し、pMOSTトランジスタ形成領域下に正の電位を印加すること。

(5) Si基板上に絶縁膜を介してSi層を形成したSOI基板と、このSOI基板のSi層に形成され、チャネル下部の不純物領域である各々のボディ部が電気的に分離され、且つ各ボディ部に所定の電位が印加される複数のMOSTトランジスタとを備えた半導体集積回路において、ボディ部の下のSi基板に該ボディ部の多数キャリアが誘起される電位を与える手段を設けたこと。

(5-1) MOSTトランジスタの各ボディ部に対応して、絶縁膜下のSi基板表面に不純物拡散層を選択的に形成し、該不純物拡散層に必要な電位を印加することとする。

(作用) 本発明によれば、従来フローティングボディの電位を有することにより、SOIトランジスタの高速度

化をはかることができる。

[0011] nMOS-SOIトランジスタにおいてSi基板に負の電位を与えること、このSOIトランジスタのソース・ドレイン領域及びチャネル下部との間が空乏化する。このため、寄生容量が減少し、SOIトランジスタの高速度化をはかることができる。同様にして、pMOS-SOIトランジスタにおいてSi基板に正の電位を与えても寄生容量が減少し、SOIトランジスタの高速度化をはかることができる。

[0012]

【発明の実施形態】 以下、本発明の詳細を図示の実施形態によって説明する。

(第1の実施形態) 図1は、本発明の第1の実施形態に係わるnMOS-SOIトランジスタの素子構造を示す断面図である。

[0013] 図中の10はSOI基板であり、このSOI基板10は、Si基板11上にSiO₂膜(絶縁膜)12を介して薄層Si層13を形成して構成される。Si層13はp型不純物のドーピングによりp領域13aとなっており、このp領域13aにはnMOS-SOIトランジスタ20が形成されている。即ち、Si層13上にゲート電極22を介してゲート電極22が形成され、ゲート電極22の両側でSi層13にn型不純物がドーピングされてソース・ドレイン拡散層23、24が形成されている。

[0014] ここまでの基本構成は従来と同様であるが、本実施形態ではSi基板11に負の電位が印加されている。このように本実施形態では、従来フローティングボディ(又は電源電位V_{cc})であったSi基板11に、負の電位を与える。すると、nMOS-SOIトランジスタ20のソース・ドレインであるn型拡散層とSOIのp型チャネル及びチャネル下部間が空乏化し、寄生容量が減少する。このため、nMOS-SOIトランジスタ20の動作スピードの高速度化をはかることが可能となる。

(第2の実施形態) 図2は、本発明の第2の実施形態に係わるpMOS-SOIトランジスタの素子構造を示す断面図である。なお、図1と同一部分には同一符号を付して、その詳しい説明は省略する。

[0015] 本実施形態が先に説明した第1の実施形態と異なる点は、SOIトランジスタにpMOSを用いたことである。Si層13はn型不純物のドーピングによりn領域13bとなっており、このn領域13bにはpMOS-SOIトランジスタ30が形成されている。即ち、Si層13上にゲート電極32を介してゲート電極32が形成され、ゲート電極32の両側でSi層13にp型不純物がドーピングされてソース・ドレイン拡散層33、34が形成されている。

[0016] ここまでの基本構成は従来と同様であるが、本実施形態ではSi基板11に正の電位が印加され

ている。このように本実施形態では、従来フローティングボディ(又は電源電位V_{cc})であったSi基板11に、正の電位を与える。すると、pMOS-SOIトランジスタ30のソース・ドレインであるp型拡散層とSOIのn型チャネル及びチャネル下部間が空乏化し、寄生容量が減少する。このため、pMOS-SOIトランジスタ30の動作スピードの高速度化をはかることが可能となる。

(第3の実施形態) 図3は、本発明の第3の実施形態に係わるCMOS-SOIトランジスタの素子構造を示す断面図である。なお、図1及び図2と同一部分には同一符号を付して、その詳しい説明は省略する。

[0017] Si層13は素子分離SiO₂膜14により分離されており、分離された各領域(p領域13a、n領域13b)にnMOS-SOIトランジスタ20とpMOS-SOIトランジスタ30が形成されている。各々のトランジスタ20、30の基本構成は第1、2の実施形態と全く同様である。

[0018] 本実施形態では、pMOS-SOIトランジスタ30とnMOS-SOIトランジスタ20の基板11は共通にし、第1の実施形態と同様に基板11に負の電位を与える。すると、nMOS-SOIトランジスタ20では第1の実施形態と同様に寄生容量の低下により動作スピードが速くなる。一方、pMOS-SOIトランジスタ30では寄生容量の増加により動作スピードが遅くなる。

[0019] しかし、nMOS-SOIトランジスタ20とpMOS-SOIトランジスタ30でインバータを構成した回路全体としての動作速度は、デバイスパラメータに依存するが、後述する図4(b)に示すように、現在のサブミクロンデバイスではより高速度になる結果が得られている。

[0020] ここで、図4(a)は、SOI基板を用いたMOSTランジスタのしきい値の基板電圧依存性を示すグラフであり、(b)はSOI基板を用いたMOSTランジスタで構成されたインバータの動作速度特性の基板電圧依存性のグラフである。基板はいずれもp型Siである。

[0021] 図4(a)によると、pMOS-SOIトランジスタは、nMOS-SOIトランジスタより基板電圧によるしきい値の変化が顕著である。基板に付加している負の電位が大きくなるほど、pMOS-SOIトランジスタのしきい値は小さくなる。一方、nMOS-SOIトランジスタでは、基板に付加している負の電位が大きくなって、しきい値はあまり変化しない。

[0022] 図4(b)は、インバータチェーンの立ち上がり(u_p)時間と立ち下がり(down)時間とその平均時間(average)を測定したグラフである。このグラフによると、基板に負の電位がかかるほど、pMOS-

SOIトランジスタ、nMOS-SOIトランジスタ共に遅延時間が短くなる。図5は、本発明の第4の実施形態に係わるCMOS-SOIトランジスタの素子構造を示す断面図である。なお、図3と同一部分には同一符号を付して、その詳しい説明は省略する。

[0025] 本実施形態は、Si基板11をp領域11aとn領域11bに分離し、各々の領域11a、11bに正負の電位を選択的に印加したものである。図5(a)では、Si基板11において、pMOS-SOIトランジスタ20の下部領域11aをn型にし、nMOS-SOIトランジスタ30の下部領域11bをp型にしている。そして、p領域11aに負の電位を印加し、n領域11bに正の電位を印加している。

[0026] 図5(b)では、下部領域11bをn型の基板11をn型にし、下部領域11aをpウェルにしている。図5(c)では、下部領域11aを含め基板11をp型にし、下部領域11bをnウェルにしている。

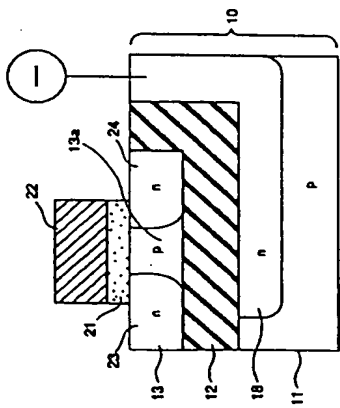
[0027] このように本実施形態では、pMOS-SOIトランジスタ30の基板には正の電位、nMOS-SOIトランジスタ20の基板には負の電位を与えることにより、第1、2の実施形態と同様の効果で、pMOS、nMOS共に寄生容量の低下により高速度化をはかることができる。なお、基板11のp-n接合部は逆バイアスになるため電流は流れない。

(第5の実施形態) 図6は、本発明の第5の実施形態に係わるCMOS-SOIトランジスタの素子構造を示す断面図である。なお、図3と同一部分には同一符号を付して、その詳しい説明は省略する。

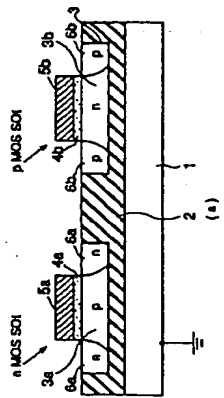
[0028] 本実施形態が第3の実施形態と異なる点は、Si層13のみならず、Si基板11も絶縁分離したことにあり、図6(a)では、Si層13を絶縁分離するためのSiO₂膜14の下に、Si基板11を分離するための基板分離SiO₂膜15を設けている。図6(b)では、Si層13の絶縁分離とSi基板11の分離を、共通の分離SiO₂膜16を用いて行っている。

[0029] そして、分離された基板11のnMOS-SOIトランジスタ20の下部領域11bには負の電位

【圖 7】



【图8】



【6図】

